

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-194689

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G02F 1/136

G02F 1/1343

H01L 29/784

(21)Application number : 05-241733 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.09.1993 (72)Inventor : MIYASAKA MITSUTOSHI

(30)Priority

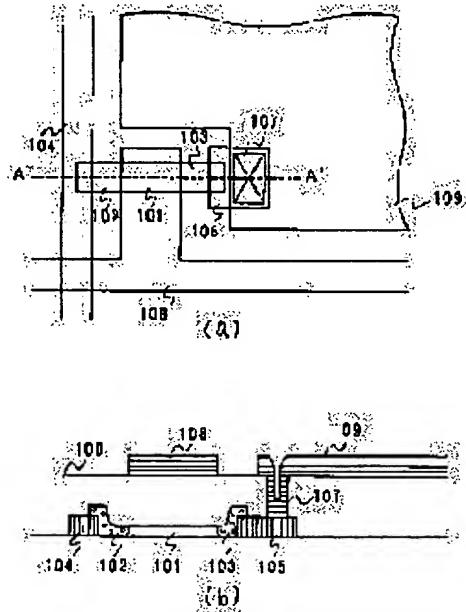
Priority number : 04294735 Priority date : 04.11.1992 Priority country : JP

## (54) ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To provide the active matrix substrate of a simple structure using thin-film transistors(TFTs) having good characteristics as switching elements by providing source lines consisting of metal on the lowermost layer and thinly forming semiconductor layers.

CONSTITUTION: There are the semiconductor layers consisting of channel regions 101, source regions 102 and drain regions 103 on the lowermost layer on an insulating substrate. Pixel electrode take-out pads 105 consisting of the same metal as the metal of the data lines 104 are provided on the same layer. A part of the source regions 102 cover a part of the data lines 104 and a part of the drain regions 103 covers a part of the pixel electrode take-out pads 105 consisting of the metal. There are gate insulating films 106 to cover these semiconductor layers, metallic data lines 104 and metallic pixel electrode take-out pads 105. There are gate electrodes and lines 108 on the gate insulating films 106. Contact holes 107 are bored on metallic pads 105 in the gate insulating films 106 and pixel electrodes 109 are formed on the gate insulating films 106 via the contact holes 107.



## LEGAL STATUS

[Date of request for examination] 07.02.2000

[Date of sending the examiner's decision 30.07.2002  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3615556

[Date of registration] 12.11.2004

[Number of appeal against examiner's  
decision of rejection] 2002-016612

[Date of requesting appeal against  
examiner's decision of rejection] 29.08.2002

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-194689

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 02 F 1/136	500	9018-2K		
	1/1343	8707-2K		
H 01 L 29/784		9056-4M	H 01 L 29/78	311 A

審査請求 未請求 請求項の数17(全 16 頁)

(21)出願番号	特願平5-241733	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成5年(1993)9月28日	(72)発明者	宮坂 光敏 長野県諏訪市大和3丁目3番5号 セイコ ーエプソン株式会社内
(31)優先権主張番号	特願平4-294735	(74)代理人	弁理士 鈴木 喜三郎 (外1名)
(32)優先日	平4(1992)11月4日		
(33)優先権主張国	日本 (JP)		

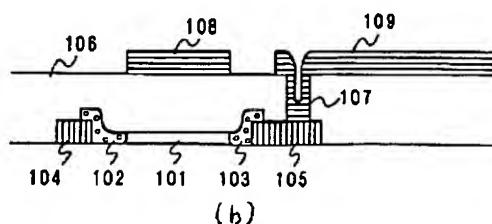
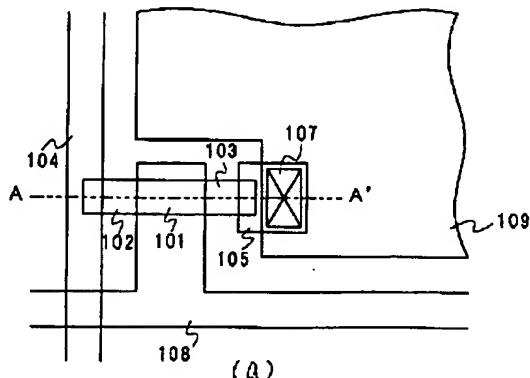
(54)【発明の名称】 アクティブマトリックス基板とその製造方法

(57)【要約】

【目的】 良好な特性を有するアクティブマトリックス基板とその簡単な製造方法を提供する事。

【構成】 金属に依るソース線が最下層に有る。

【効果】 簡単な製造工程で欠陥の少ない優良なアクティブマトリックス基板を製造出来る。



1

## 【特許請求の範囲】

【請求項1】 少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、

該絶縁層上に金属材料に依るデータ線と同一金属材料に依る画素電極取り出しパッドと、画素用薄膜トランジスタの半導体層の一部とが形成されており、該データ線の一部と該画素電極取り出しパッドの一部を画素用薄膜トランジスタのソース領域の一部及びドレイン領域の一部がそれぞれ被覆しており、画素電極と該画素電極取り出しパッドとが電気的に導通が取れている事を特徴とするアクティブマトリックス基板。

【請求項2】 画素用薄膜トランジスタの半導体層が多結晶シリコンより構成されている事を特徴とする請求項1記載のアクティブマトリックス基板。

【請求項3】 画素用薄膜トランジスタのゲート電極と画素電極が同一材料で、同一層上に形成されている事を特徴とする請求項1記載のアクティブマトリックス基板。

【請求項4】 画素用薄膜トランジスタの半導体層が多結晶シリコンより構成されている事を特徴とする請求項3記載のアクティブマトリックス基板。

【請求項5】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、金属膜を堆積した後、パターニング加工に依りデータ線と画素電極取り出しパッドを形成する第一の工程と、半導体膜を堆積した後、画素用薄膜トランジスタの半導体層の両端が該データ線の一部と該画素電極取り出しパッドの一部を被覆して画素用薄膜トランジスタの半導体層を構成する様に該半導体膜をパターニング加工する第二の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項6】 少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、電気伝導物質より成るデータ線と該薄膜トランジスタの能動層半導体膜が第一絶縁層上に形成されており、且つ電気伝導物質より成るゲート線と該薄膜トランジスタのゲート電極が第二絶縁層上に形成されており、且つ画素電極が第三絶縁層上に形成されている事を特徴とするアクティブマトリックス基板。

【請求項7】 データ線を構成する電気伝導物質及びゲート線を構成する電気伝導物質の両者が遮光性物質で有り、且つ画素電極の縁辺部が第二絶縁層と第三絶縁層ないしは第三絶縁層を介してデータ線ないしはゲート線と重なっている事を特徴とする請求項6記載のアクティブマトリックス基板。

【請求項8】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているア

10

20

30

40

50

2

クティブマトリックス基板の製造方法に於いて、電気伝導物質を堆積した後、パターニング加工に依りデータ線を形成する第一の工程と、

半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、

ゲート絶縁層を堆積する第三の工程と、

該ゲート絶縁層上に電気伝導物質を堆積した後パターニング加工に依り該薄膜トランジスタのゲート電極並びにゲート線を形成する第四の工程と、

層間絶縁層を堆積する第五の工程と、

該薄膜トランジスタのドレイン領域の一部ないしは該ドレイン領域と電気的に導通状態に有る領域の一部が裸出する様に該ゲート絶縁層及び該層間絶縁層にコンタクトホールを開孔する第六の工程と、

該層間絶縁層上に画素電極を形成する第七の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項9】 少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、

電気伝導物質より成るデータ線と薄膜トランジスタの能動層半導体膜と該データ線と同物質より成る保持容量用下部電極が第一絶縁層上に形成されており、且つ電気伝導物質より成るゲート線と薄膜トランジスタのゲート電極が第二絶縁層上に形成されており、該ゲート線は次行の画素の保持容量用上部電極を兼ね、画素電極と該保持容量用下部電極とが電気的に導通が取れている事を特徴とするアクティブマトリックス基板。

【請求項10】 画素電極が第三絶縁層上に形成されている事を特徴とする請求項9記載のアクティブマトリックス基板。

【請求項11】 データ線を構成する電気伝導物質及びゲート線を構成する電気伝導物質の両者が遮光性物質で有り、且つ画素電極の縁辺部が第二絶縁層と第三絶縁層ないしは第三絶縁層を介してデータ線ないしはゲート線と重なっている事を特徴とする請求項10記載のアクティブマトリックス基板。

【請求項12】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、

電気伝導物質を堆積した後、パターニング加工に依りデータ線と保持容量用下部電極を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、

ゲート絶縁層を堆積する第三の工程と、

該ゲート絶縁層上に電気伝導物質を堆積した後、パター

3

ニング加工に依り該薄膜トランジスタのゲート電極並びに次行の画素の保持容量用上部電極を兼ねる様にゲート線を形成する第四の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項13】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、電気伝導物質を堆積した後、パターニング加工に依りデータ線と保持容量用下部電極を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、

ゲート絶縁層を堆積する第三の工程と、

該ゲート絶縁層上に電気伝導物質を堆積した後パターニング加工に依り該薄膜トランジスタのゲート電極並びに次行の画素の保持容量用上部電極を兼ねる様にゲート線を形成する第四の工程と、

層間絶縁層を堆積する第五の工程と、

該薄膜トランジスタのドレイン領域の一部ないしは該ドレイン領域と電気的に導通状態に有る領域の一部、及び該保持容量用下部電極の一部が裸出する様に該ゲート絶縁層及び該層間絶縁層にコンタクト・ホールを開孔する第六の工程と、

該層間絶縁層上に画素電極を形成する第七の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項14】 少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、

該絶縁層上に金属材料に依るデータ線と該薄膜トランジスタの半導体層の一部とが形成されており、該データ線の一部を該薄膜トランジスタのソース領域の一部が被覆しており、該データ線で該ソース領域の一部に依り被覆されて居らず且つ他との電気的導通を取る事を目的とした部所を除く部位が該金属材料の酸化物で被覆されている事を特徴とするアクティブマトリックス基板。

【請求項15】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、

金属膜を堆積した後、パターニング加工に依りデータ線を形成する第一の工程と、

半導体膜を堆積した後、薄膜トランジスタの半導体層の一端が該データ線の一部を被覆して該薄膜トランジスタの半導体層を構成する様に該半導体膜をパターニング加工する第二の工程と、

該データ線の表層部を酸化する第三の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項16】 少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としている

10

20

30

40

50

4

アクティブマトリックス基板の製造方法に於いて、金属膜を堆積した後、パターニング加工に依りデータ線を形成する第一の工程と、

非晶質半導体膜を堆積した後、薄膜トランジスタの半導体層の一端が該データ線の一部を被覆して該薄膜トランジスタの半導体層を構成する様に該非晶質半導体膜をパターニング加工する第二の工程と、

上記工程を経た基板を酸化性雰囲気下にて熱処理を施す第三の工程を含む事を特徴とするアクティブマトリックス基板の製造方法。

【請求項17】 データ線の表層部の酸化を陽極酸化法にて行う事を特徴とする請求項15記載のアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ（以後TFTと略記）を画素用スイッチング素子としているアクティブマトリックス基板（以後AM基板と略記）とその製造方法に関する。

【0002】

【従来の技術】 図3及び図4は従来技術に依るAM基板を説明した図である。

【0003】 図3に示すAM基板はコプレナー型TFTを画素用スイッチング素子として用いている。図3-aはその平面図で有り、図3-bはB-B'に於ける断面図で有る。このAM基板では絶縁性基板上の最下層にチャンネル領域301、ソース領域302、ドレン領域303より成るTFTの半導体層が有り、これを覆う様にゲート絶縁膜304が有る。更にその上にゲート電極線305が乗り、層間絶縁膜306がゲート電極線305とゲート絶縁膜304を被覆している。ゲート絶縁膜304と層間絶縁膜306を通じて開穴されたコンタクト・ホール307を介して画素電極308はドレン領域303と電気的導通が取られ、又データ線309はソース領域302と電気的導通が取られている。通常は画素電極308材料とデータ線309材料は異なっているので、この構造のAM基板を作成するには少なくとも6回の成膜過程に5回のフォトリソグラフィー加工工程が必要で、各画素に対して2個のコンタクト・ホールが存在している。

【0004】 図4に示すAM基板はスタガート構造TFTを画素用スイッチング素子として用いている。図4-aはその平面図で有り、図4-bはC-C'に於ける断面図で有る。このAM基板では絶縁性基板上の最下層にチャンネル領域401、ソース領域402、ドレン領域403が有り、更にこれら半導体層よりも膜厚の厚いソース・パッド404及びドレン・パッド405が同様に半導体物質に依って最下層に設けられている。ソース領域402の一部はソース・パッド404の一部を被り、ドレン領域403の一部はドレンパッド405

の一部を覆っている。通常ソース領域402及びドレン領域403とソース・パッド404及びドレン・パッド405は同質材料で作成され、これらの間の電気的性質は同一である。これら半導体層を覆う様にゲート絶縁膜406が有り、更にその上にゲート電極・線407が乗り、層間絶縁膜408がゲート電極・線407とゲート絶縁膜406を被覆している。ゲート絶縁膜406と層間絶縁膜408を通じて開穴されたコンタクト・ホール409を介して画素電極410はドレン・パッド405と電気的導通が取られ、又データ線411はソース・パッド404と電気的導通が取られている。通常は画素電極410材料とデータ線411材料は異なっているので、この構造のAM基板を作成するには少なくとも7回の成膜過程に6回のフォトリソグラフィー加工工程が必要で、各画素に対して2個のコンタクト・ホールが存在している。

【0005】図8及び図9は又、別の従来技術によるAM基板とその製造方法を説明した図である。

【0006】図8及び図9に示すAM基板はコプレナーモードTFTを画素用スイッチング素子として用い、ドナー又はアクセプターとなる不純物を含んだ多結晶シリコン膜と前行のゲート線にて保持容量を作っている。(Japan Display '92 P. 451, Hiroshima Japan 1992) 図8-aはその平面図で有り、図8-bはB-B'に於ける断面図で、その製造工程が図9に描かれている。このAM基板では絶縁性基板上の最下層上チャンネル領域301、ソース領域302、ドレン領域303よりなるTFTの半導体層とドナー又はアクセプターとなる不純物を含んだ多結晶シリコンに依る保持容量用下部電極811が有る。これらを覆う様にゲート絶縁膜304が有る。更にその上にゲート電極・線305と保持容量用上電極を兼ねる前行のゲート線813が乗り、これらを覆う層間絶縁膜306が設けられている。ゲート絶縁膜304及び層間絶縁膜306を通じて開穴されたコンタクト・ホール307を介して画素電極308はドレン領域303と電気的導通が取られ、又データ線309はソース領域302と電気的導通が取られている。又、別のコンタクト・ホール812を介して画素電極308は保持容量用下部電極811と電気的導通が取られている。

【0007】この構造を有するAM基板の製造方法を図9に従って説明する。まず絶縁性基板上に多結晶シリコン膜を堆積し、フォトリソグラフィー加工に依りシリコン膜のバターニングを行い、その後ゲート絶縁膜304を堆積する(図9-a)。次に保持容量用下部電極と化す部位を除いたその他の領域を被覆する様にフォト・レジスト901を形成し、これをマスクとして不純物イオン902を注入し、保持容量用下部電極811を形成する(図9-b)。更にゲート電極・線305及び813をドナー又はアクセプター不純物を含んだシリコン膜等

で作成した後、ゲート電極をマスクとして不純物イオン注入を行う事でTFTのチャンネル領域301、ソース領域302、ドレン領域303が形成される(図9-c)。その後層間絶縁膜306をAPCVD法等で堆積し、コンタクト・ホール307及び812を開孔し(図9-d)、最後にITO等から成る画素電極308とA1等から成るデータ線309の形成に依りAM基板は完成する(図9-e)。通常は画素電極308材料とデータ線309材料は異なっているので、この構造のAM基板を作成するには少なくとも6回の成膜過程に6回のフォトリソグラフィー加工工程が必要で、各画素に対して3個のコンタクト・ホールが存在している。又、データ線とゲート線の交差部は層間絶縁膜が単層で絶縁を保つており、画素電極308とデータ線309は同層上に存在している。

## 【0008】

【発明が解決しようとする課題】しかしながら先に述べた従来の方法に於いては以下の如き問題が指摘されている。

【0009】一般にTFT特性はチャンネル領域の膜厚を薄くすればする程良くなる。所が図3のAM基板構造ではチャンネル領域301の膜厚を薄くすると自動的にソース・ドレン領域の膜厚も薄くなってしまう。ソース・ドレン領域の膜厚が薄いとコンタクト不良が生じ、沢山有るTFTの内幾つかはデータ線とソース領域間、或いは画素電極とドレン領域の電気的導通が取れずに入陥が生ずる。又おびただしきはコンタクト・ホール開穴時にコンタクト・ホール下のソース領域又はドレン領域が剥がれて基板より離脱してしまい、やはりシリチウム素子として機能し得ない。従って図3の基板構造ではチャンネル領域を薄膜化し得ず、特性の良いTFTをスイッチング素子として使用出来ない。

【0010】一方、図4に示すAM基板構造だと厚いソース・パッドとドレン・パッドが存在する為、薄いチャンネル部の使用が可能となり、上述の問題はない。しかしながらこのAM基板を作成する為には7回の成膜工程と6回のフォト・リソグラフィー工程が必要で複雑冗長な工程となり歩留まりの低下や製品価格の高騰を招くと言った問題が有る。更に図3又は図4に示すAM基板で有ると各画素に二個のコンタクト・ホールが存在し、微細な画素を作成できないとの問題点も有る。

【0011】又、画素エリアの開口率を上げる目的で容量線を省き、保持容量を前行のゲート線と下部電極にて作る図8の構造のAM基板を作成するには6回の成膜工程と6回のフォト・リソグラフィー工程が必要で、やはり複雑冗長な工程と化し歩留まりの低下や製品価格の高騰を招くとの問題が有る。この構造のAM基板では各画素に三個のコンタクト・ホールが存在する。コンタクト・ホールの大きさを4μm、両側の合わせ余裕を各3μmとするとコンタクト・ホールを形成する為のパッド領

域の面積は一個のコンタクト・ホールに対して  $10\mu m \times 10\mu m = 100\mu m^2$  となり、三個のコンタクト・ホールに依り  $300\mu m^2$  の領域が占有されてしまう。高精細液晶表示装置では画素ピッチは縮小する傾向に有り、そのサイズは現在およそ  $30\mu m \times 40\mu m = 1200\mu m^2$  程度で有るから三個のコンタクト・ホールで全体の 25% をも占めてしまう。高精細化を更に推進し、例えば画素ピッチの  $20\mu m \times 30\mu m = 600\mu m^2$  を実現しようとしても上記三個のコンタクト・ホールの存在それだけで 50% の面積が失われてしまい、事実上これ以上の高精細化は出来ないとの課題が有る。即ち、コンタクト・ホール数の削減が強く求められている。更に図3、図4、図8等に示す従来技術のAM基板ではデータ線の配線と画素電極が同層に有る為、画素電極を大きくし得ないとの問題点が有る。加えてこれら従来技術のAM基板を用いて液晶表示装置を作る場合、液晶を挟んで対向する基板上には隣接画素の光漏れを防ぐ為のブラック・ストライプを設ける必要が有り、このブラック・ストライプが各画素電極の縁辺部を完全に覆う様に二つの基板の位置を合わせねばならない。二枚の基板間距離は通常常数  $\mu m$  有り、合わせ余裕を考慮するとブラック・ストライプの幅を太くせざるを得ず、その結果出来上がった液晶表示装置の画素開口部はAM基板上の画素電極よりも著しく小さくなるとの問題点が有る。

【0012】本発明は上記の事情に鑑みてなされた物で、その目的とする所は半導体層を薄くし得て特性の良い TFT をスイッチング素子としている簡単な構造のAM基板とその容易な製造方法を提供する事に有る。

【0013】又、本発明はコンタクト・ホール数を削減して精細化を進めたり、開口率を向上させるAM基板とその容易な製造方法を提供する事に有る。

【0014】  
【課題を解決する為の手段】本発明は少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、該絶縁層上に金属材料に依るデータ線と同一金属材料に依る画素電極取り出しパッドと、画素用薄膜トランジスタの半導体層の一部とが同一層に形成されており、該データ線の一部と該画素電極取り出しパッドの一部を画素用薄膜トランジスタのソース領域の一部及びドレイン領域の一部がそれぞれ被覆しており、画素電極と該画素電極取り出しパッドとが電気的に導通が取れている事を特徴とする。

【0015】又本発明は、少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、金属膜を堆積した後、パターニング加工に依りデータ線と画素電極取り出しパッドを形成する第一の工程と、半導体膜を堆積した後、画素用薄膜トランジスタの半導体層の両端が該データ線の一部と該画素電極取り出

しパッドの一部を被覆して画素用薄膜トランジスタの半導体層を構成する様に該半導体膜をパターニング加工する第二の工程を含む事を特徴とする。

【0016】又本発明は、少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、電気伝導物質より成るデータ線と該薄膜トランジスタの能動層半導体膜が第一絶縁層上に形成されており、且つ電気伝導物質より成るゲート線と該薄膜トランジスタのゲート電極が第二絶縁層上に形成されており、且つ画素電極が第三絶縁層上に形成されている事を特徴とする。

【0017】又本発明は、少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、電気伝導物質を堆積した後、パターニング加工に依りデータ線を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、ゲート絶縁層を堆積する第三の工程と、該ゲート絶縁層上に電気伝導物質を堆積した後パターニング加工に依り該薄膜トランジスタのゲート電極並びにゲート線を形成する第四の工程と、層間絶縁層を堆積する第五の工程と、該薄膜トランジスタのドレイン領域の一部ないしは該ドレイン領域と電気的に導通状態に有る領域の一部が裸出する様に該ゲート絶縁層及び該層間絶縁層にコンタクト・ホールを開孔する第六の工程と、該層間絶縁層上に画素電極を形成する第七の工程を含む事を特徴とする。

【0018】又本発明は、少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、電気伝導物質より成るデータ線と薄膜トランジスタの能動層半導体膜と該データ線と同物質より成る保持容量用下部電極が第一絶縁層上に形成されており、且つ電気伝導物質より成るゲート線と薄膜トランジスタのゲート電極が第二絶縁層上に形成されており、該ゲート線は次行の画素の保持容量用上部電極を兼ね、画素電極と該保持容量用下部電極とが電気的に導通が取れている事を特徴とする。

【0019】又本発明は、少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、電気伝導物質を堆積した後、パターニング加工に依りデータ線と保持容量用下部電極を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、ゲート絶縁層を堆積する第三の工程と、該ゲート絶縁層上に電気伝導物質を堆積した後、パターニング加工に依り該薄膜トランジスタのゲート電極並びに次行の画素の保持容量用上部電極を兼ねる様にゲート線

を形成する第四の工程を含む事を特徴とする。

【0020】又本発明は、少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、電気伝導物質を堆積した後、パターニング加工に依りデータ線と保持容量用下部電極を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの一端が該データ線の一部を被覆して該薄膜トランジスタの能動層を構成する様に該半導体膜をパターニング加工する第二の工程と、ゲート絶縁層を堆積する第三の工程と、該ゲート絶縁層上に電気伝導物質を堆積した後パターニング加工に依り該薄膜トランジスタのゲート電極並びに次行の画素の保持容量用上部電極を兼ねる様にゲート線を形成する第四の工程と、層間絶縁層を堆積する第五の工程と、該薄膜トランジスタのドレイン領域の一部ないしは該ドレイン領域と電気的に導通状態に有る領域の一部、及び該保持容量用下部電極の一部が裸出する様に該ゲート絶縁層及び該層間絶縁層にコンタクト・ホールを開孔する第六の工程と、該層間絶縁層上に画素電極を形成する第七の工程を含む事を特徴とする。

【0021】又本発明は、少なくとも絶縁層上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板に於いて、該絶縁層上に金属材料に依るデータ線と該薄膜トランジスタの半導体層の一部とが形成されており、該データ線の一部を該薄膜トランジスタのソース領域の一部が被覆しており、該データ線で該ソース領域の一部に依り被覆されて居らず且つ他との電気的導通を取る事を目的とした部所を除く部位が該金属材料の酸化物で被覆されている事を特徴とする。

【0022】又本発明は、少なくとも絶縁性基板上に形成された薄膜トランジスタを画素用スイッチング素子としているアクティブマトリックス基板の製造方法に於いて、金属膜を堆積した後、パターニング加工に依りデータ線を形成する第一の工程と、半導体膜を堆積した後、薄膜トランジスタの半導体層の一端が該データ線の一部を被覆して該薄膜トランジスタの半導体層を構成する様に該半導体膜をパターニング加工する第二の工程と、該データ線の表層部を酸化する第三の工程を含む事を特徴とする。

#### 【0023】

##### 【実施例】

(実施例1) 以下本発明の一実施例を図面を用いて詳述するが、本発明が以下の実施例に限定される物ではない。

【0024】図1は本発明に依るAM基板の一例を説明した図で、図2-a～cは本発明に依るAM基板の製造工程を断面で示した図である。

【0025】図1-aは平面図で図1-bはA-A'に於ける断面図である。本発明に依るAM基板では絶縁性

基板上の最下層にチャンネル領域101、ソース領域102、ドレイン領域103から成る半導体層が有り、同層上にモリブデン、タンクステン、クロム、バナジウム、ニオブ、タンタル等の高融点金属に依るデータ線104と同じ金属に依る画素電極取り出しパッド105が設けられている。ソース領域102の一部はデータ線104の一部を被い、ドレイン領域103の一部は金属の画素電極取り出しパッド105の一部を被っている。これら半導体層と金属データ線、金属画素電極取り出しパッドを複数様にゲート絶縁膜106が有り、ゲート絶縁膜上にゲート電極・線108が有る。ゲート絶縁膜には金属パッド105上にコンタクト・ホール107が開穴されており、このコンタクト・ホールを介してゲート絶縁膜上に画素電極109が形成されている。本実施例1では画素電極とゲート電極が同一材料で同一層上に形成されているが、この材質は異なっても構わぬし、又別層上に形成されて居ても構わない。例えばコンタクト・ホール開穴時に画素電極領域のゲート絶縁膜も同時に取り除き、画素電極を半導体層などと同層の最下層に設ける事も可能である。

【0026】この本発明に依るAM基板の製造方法を図2を用いて説明する。まずガラス基板などの絶縁性基板上に金属膜を蒸着法或いはスパッター法などで堆積する。本実施例1ではスパッタ法に依り基板温度150℃にてクロムを2000Å堆積した。この他にもモリブデンやタンクステン等の高融点金属も可能である。この時のクロムのシート抵抗は1.12Ω/□であった。次にフォト・リソグラフィ工程に依りこの金属膜を加工してデータ線104と画素電極取り出しパッド105を形成する。(図2-a) 続いてLPCVD法等で半導体膜を形成する。本実施例1ではLPCVD法に依り多結晶シリコン膜を堆積した。基板温度は555℃で多結晶シリコン膜堆積時のモノシラン分圧は0.94mtoorrであった。多結晶シリコン膜の膜厚は280Åで堆積時間は1時間5分50秒で有った。続いてフォト・リソグラフィ工程に依り半導体膜を加工し、その後ECR-PECVD法等でゲート絶縁膜106を形成する。本実施例1では基板温度100℃で1200ÅにSiO<sub>2</sub>膜を堆積した。(図2-b) 次にフォト・リソグラフィ工程に依り画素電極取り出しパッド上にコンタクト・ホール107を開穴し、透明電気伝導性膜を形成する。本実施例1ではスパッター法に依りインジウム・錫酸化物(ITO)を2500Å堆積した。この時のシート抵抗は28Ω/□であった。その後フォト・リソグラフィ工程に依りゲート電極・線108と画素電極109を形成した。

次に質量非分離型イオン注入装置に依りドナー又はアクセプターとなる不純物をゲート電極をマスクとして半導体膜に打ち込み、チャンネル領域101とソース領域102及びドレイン領域103を形成する。本実施例1ではn型電界効果トランジスタの作成を目指し、水素希釈

11

されたフォスフィン ( $\text{PH}_3$ ) を  $90 \text{ kV}$  の加速電圧で  $5 \times 10^{16} \text{ 1/cm}^2$  打ち込んだ。その後窒素雰囲気下  $350^\circ\text{C}$  2時間の熱処理で注入イオンを活性化させ、AM基板は完成する(図2-c)。

【0027】このようにして試作したAM基板のTFTはオン電流( $V_{ds} = 4 \text{ V}$ 、 $V_{gs} = 10 \text{ V}$   $L/W = 10 \mu\text{m}/10 \mu\text{m}$ の $I_{ds}$ )は $1.2 \mu\text{A}$ 、オフ電流( $V_{ds} = 4 \text{ V}$ 、 $V_{gs} = 0 \text{ V}$   $L/W = 10 \mu\text{m}/10 \mu\text{m}$ の $I_{ds}$ )は $0.067 \text{ pA}$ と良好なスイッチング特性を示し、優良なAM基板となった。これは本発明のAM基板構造でチャンネル部の膜厚を十分薄くし得た事に起因する。又コンタクト不良等の問題も生じ得なかった。更に本発明に依ると各画素毎のコンタクト・ホールの数が半減しそれに伴い画素エリアの開口率が向上し、コンタクト・ホールに起因する欠陥も半減出来た。加えて、本発明は4回の成膜工程と4回のフォト・リソグラフィー工程という簡単製造方法から成っている。

【0028】(実施例2) 図5は本発明に依るAM基板の一例を説明した図で、図5-aは平面図で図5-bはA-A'に於ける断面図である。本実施例2に依るAM基板では第一絶縁層で有る絶縁性基板上にチャンネル領域101、ソース領域102、ドレイン領域103から成る能動層半導体膜が有り、同層上にモリブデン、タンクスチン、クロム、バナジウム、ニオブ、タンタル等の高融点金属に依るデータ線104と同じ金属に依る画素電極取り出しパッド105が設けられている。ソース領域102の一部はデータ線104の一部を被い、ドレイン領域103の一部は金属の画素電極取り出しパッド105の一部を被っている。これら半導体層と金属データ線、金属画素電極取り出しパッドを覆う様に第二絶縁層で有るゲート絶縁膜106が有り、この第二絶縁層上にゲート電極・線108が有る。更にこれらの上には第三絶縁層で有る層間絶縁膜110が有る。ゲート絶縁膜及び層間絶縁膜には金属パッド105上にコンタクト・ホール107が開穴されており、このコンタクト・ホールを介して第三絶縁層で有る層間絶縁膜上に画素電極109が形成されている。本実施例2では第一絶縁層上に画素電極取り出しパッド105を設けたが、能動層半導体膜がコンタクト不良等の問題を生じさせぬに十分な厚みを有していれば、この画素電極取り出しパッドを省き、コンタクト・ホール107を直接ドレイン領域103上に開口しても良い。これに依り画素電極取り出しパッドがなくなった分だけ画素開口率が向上する。ゲート電極・線108としてはアルミニウム、銅、ニッケル、鉄、クロム、モリブデン、タンクスチン、タンタル等各種金属が可能である。又、画素電極109としてはインジウム錫酸化物(ITO)等の透明導電物質の他、反射型液晶表示装置に本発明を用いる場合、金属物質で有っても構わない。本実施例2ではデータ線とゲート線、画素電極がそれぞれ別層上に形成されている為、画素電極を可

10

20

30

40

50

12

能な限り大きくし得る。画素電極109の縁辺部はゲート線とは層間絶縁膜を介して重なり、又データ線とは層間絶縁膜及びゲート絶縁膜を介して重なっている。データ線とゲート線は本実施例2では金属で有り、共に電気伝導性遮光物質で有るから、これらの両線は画素電極の縁辺部と重なる事に依り、ブラック・ストライプとなつていて、本実施例2のAM基板を用いると、対向基板側に太いブラック・ストライプを作成する必要がなくなり、出来上がった液晶表示装置の実質的開口率が大きく向上するのである。

【0029】次に本発明に依るAM基板の製造方法を説明する。まずガラス基板などの絶縁性基板上に金属膜を蒸着法或いはスパッター法などで堆積する。この金属としては前述した高融点金属が好ましいが、電気伝導性遮光物質で有れば金属シリサイド等の非金属も可能である。次にフォト・リソグラフィ工程に依りこの金属膜を加工してデータ線104と画素電極取り出しパッド105を形成する。続いて半導体膜を形成する。半導体膜の形成には実施例1で述べた様にLPCVD法に依り $550^\circ\text{C}$ 程度以下の温度で直接多結晶シリコン膜を堆積する方法の他にも多々可能である。例えばモノシリラン( $\text{SiH}_4$ )やジシリラン( $\text{Si}_2\text{H}_6$ )を原料として $550^\circ\text{C}$ 程度以下の温度で非晶質半導体膜を堆積した後、 $600^\circ\text{C}$ 程度以下の炉内で熱処理を施して結晶化させる方法やレーザー光やアークライン光の光を短時間照射して結晶化させる方法等も有効である。又、半導体膜もシリコンに限らず、シリコン・ゲルマニウム膜等各種半導体膜も可能である。これらの工程はいずれも $600^\circ\text{C}$ 程度以下とデータ線等の金属材料の融点に比べて可成低温なのでデータ線等が熱劣化する事は無い。続いてフォト・リソグラフィ工程に依り半導体膜を加工し、その後ECR-PPECVD法等でゲート絶縁膜106を形成する。

【0030】ECR-PPECVD法を用いるとゲート絶縁膜を $100^\circ\text{C}$ 程度の温度で形成出来る。この他にもAPCVD法やオゾン( $\text{O}_3$ )を用いたCVD法などで $350^\circ\text{C}$ 以下の温度でゲート絶縁膜を形成しても良い。続いてゲート絶縁膜上にスパッター法などで金属膜を堆積し、フォト・リソグラフィ工程に依りゲート電極・線を形成する。スパッター法で金属膜を堆積する場合、基板温度は $300^\circ\text{C}$ 以下が好ましい。次に質量非分離型イオン注入装置に依りドナー又はアクセプターとなる不純物をゲート電極をマスクとして半導体膜に打ち込み、チャンネル領域101とソース領域102及びドレイン領域103を形成する。質量非分離型イオン注入装置に依り、不純物元素の水素化物をイオン注入すると、 $350^\circ\text{C}$ 程度以下の低温熱処理にて不純物イオンを活性化する。続いて層間絶縁膜110を $350^\circ\text{C}$ 程度以下にて各種CVD法で形成する。その後層間絶縁膜の焼き締めと注入イオンの活性化を兼ねて窒素雰囲気下 $350^\circ\text{C}$ 程度以下の温度で1時間から2時間の熱処理を施す。最後に

コンタクト・ホール107を開孔し、ITO等の導電物質を層間絶縁膜上にスパッター法などで堆積し、フォト・リソグラフィ工程に依り画素電極109を形成してAM基板は完成する。スパッター法で導電物質を堆積すると基板温度は300°C程度以下に押さえる事が出来る。本実施例2に依ると、ゲート絶縁膜形成後の工程最高温度が350°C程度と低く、しかもその時間も数時間程度で有る。この為データ線やゲート電極・線等の電気伝導性遮光物質の熱劣化は全く生じない。本実施例2ではAM基板の完成迄に6回の成膜過程と5回のフォト・リソグラフィ加工工程が必要で、これは図3に示す従来技術の成膜回数とフォト・リソグラフィ回数と同じで有る。しかしながら従来データ線配線と画素電極が同層に有ったのを本発明では別層にする事が出来、これに依り、画素電極面積を拡大せしめた。のみならず、本発明では画素電極とデータ線、並びにゲート線を重ねる事が可能で、対向基板のブラック・ストライプを省略出来るので有る。又、従来は各画素に2個のコンタクト・ホールが存在したが、本発明では1個と半減させ、これに依り微細画素を有する高精細液晶表示装置も実現するので有る。

【0031】(実施例3) 図6は本発明によるAM基板の一例を説明した図で、図7-a~dは本発明に依るAM基板の製造工程を断面で示した図で有る。図6-aは平面図で図6-bはA-A'に於ける断面図で有る。

【0032】図6及び図7に示すAM基板はコプレナー型TFTを画素用スイッチング素子として用いており保持容量を有している。本発明のAM基板では第一絶縁層で有る絶縁性基板上にチャンネル領域101、ソース領域102、ドレイン領域103より成る能動層半導体膜と、モリブデン、タンクス滕、クロム、バナジウム、ニオブ、タンタル等の高融点金属に依るデータ線104と同金属より成る画素電極取り出しパッド105と、同金属より成る保持容量用下部電極611が形成されている。これらを覆う様にゲート絶縁膜106が有る。ゲート絶縁膜は第二絶縁層で有り、この上にゲート電極線108と画素電極109と保持容量用上電極を兼ねる前行のゲート線613が設けられている。画素電極109はゲート絶縁膜に開孔されたコンタクト・ホール107を通じて画素電極取り出しパッド105と電気的導通が取られ、別なコンタクト・ホール612を通じて保持容量用下部電極611と導通が取られている。この構造だと能動層半導体膜の膜厚は膜が膜として存在し得る極限の数十Åまで薄くする事が可能で有る。能動層半導体膜がコンタクト不良等を生じさせぬに十分な程厚ければ、画素電極取り出しパッドを省いてドレイン領域103に画素電極109のコンタクトを直接取っても良い。

【0033】この構造を有するAM基板の製造方法を図7に従って説明する。まず第一絶縁層で有る絶縁性基板上に金属膜等の電気伝導性物質を蒸着法或いはスパッタ

10  
20  
30  
40  
50

一法などで堆積する。この金属としては前述した高融点金属が好ましいが、後の半導体膜形成過程にて被る熱環境に対して安定で有るならばその他の金属材料や非金属材料などの電気伝導性物質も可能で有る。次にフォト・リソグラフィ工程に依りこの電気伝導物質のパターニングを行い、画素電極取りだしパッド105、データ線104、保持容量用下部電極611を形成する(図7-a)。尚、画素電極取りだしパッドが不要の場合はこのパターニングで画素電極取りだしパッドを残す必要は無い。続いて半導体膜を堆積する。本発明のAM基板製造工程中の最も厳しい熱環境はこの半導体膜堆積工程で有る為、これを低温化するとデータ線等の電気伝導性物質の選択種が広がり、又絶縁性基板の大型化や低価格化も容易となる。半導体膜として多結晶シリコン膜を用いる場合、LPCVD法で原料ガスとしてモノシランを用い、堆積温度555°C以下、モノシラン分圧1m torr以下で直接高品質膜を堆積する方法が有る。又、LPCVD法で原料ガスとしてジシラン(Si<sub>2</sub>H<sub>6</sub>)を用い、堆積温度450°C程度、圧力0.5torr程度で非晶質シリコン膜を堆積した後、結晶化を進める方法が有る。非晶質膜の結晶化を進めるには600°C程度の温度で数時間熱処理を行う方法や、所謂ラピッド・サーマル・アニーリング(RTA)と呼ばれる急速熱処理にて900°C程度に数秒間加熱する方法や、レーザー照射等が有る。レーザー照射では例えばXeClエキシマーライザーを50mJ/cm<sup>2</sup>から500mJ/cm<sup>2</sup>の強度で50ns程度の時間照射して、瞬間にシリコン膜を溶融させた後結晶化させる方法で有る。この方法だと加熱時間が窮めて短い為、絶縁性基板やデータ線等の電気伝導性物質は殆ど熱劣化を受けない。又、半導体膜としてシリコン・ゲルマニウムを用いると多結晶をより低温で得る事が出来る。この他、スパッター法で非晶質半導体膜を堆積した後上記の各手法にて結晶化を進める方法も有効で有る。この様にして半導体膜が形成された後、フォト・リソグラフィ工程に依り半導体膜を加工する(図7-b)。その後ECR-PPECVD法、オゾンTEOS(Si-(CH<sub>3</sub>-CH<sub>2</sub>-O)<sub>n</sub>)法等でゲート絶縁膜106を形成し、フォト・リソグラフィ法にてコンタクト・ホール107及び612を開孔する(図7-c)。次に電気伝導物質を堆積し、更にフォト・リソグラフィ加工に依り、第二絶縁層で有るゲート絶縁膜上にゲート電極・線108画素電極109を形成する。この画素電極はコンタクト・ホール612を通じて保持容量用下部電極611と電気的に導通状態に有り、保持容量は下部電極611と前行のゲート線613にて作られる。最後にゲート電極をマスクとしてイオン注入を行い、チャンネル領域101、ソース領域102、ドレイン領域103を形成する。注入イオンの活性化はレーザー照射やRTAなどの光照射が有効で有る。ゲート電極・線や画素電極に透明物質を用いると光は殆ど透過し、こ

15

これらの温度上昇は短時間の光照射では見られず熱劣下もない。又、金属材料をこれらに用いた場合、光は殆ど反射し、やはり熱劣下は生じない。データ線や画素電極取りだしパッド等についても同様である。その他実施例1で説明した様に質量非分離型イオン注入装置にてイオン注入し、300°Cから350°Cの低温で注入イオンの活性化を行っても良い。この様にしてAM基板は完成する(図7-d)。

【0034】従来は保持容量を有するAM基板を作成するのに6回の成膜過程に6回のフォト・リソグラフィ加工工程が必要で有ったが、本発明に依り4回の成膜過程と4回のフォト・リソグラフィに簡略化が可能となった。又従来は各画素に対して3個のコンタクト・ホールが存在していたのに対し、本発明ではこれを2個に削減し得た。又、データ線及び画素電極取り出しパッドの一部をソース・ドレイン領域の一部が被覆する為、能動層半導体膜の膜厚を数十Å迄薄く出来、高性能TFTが得られる。尚、本実施例3では画素電極取り出しパッドと保持容量用下部電極を分離して形成した為、画素電極は二個のコンタクト・ホール107及び612を通じて導通が取られているが、画素電極取り出しパッドと保持容量用下部電極を分離せず、つながった一つの島で形成した場合、コンタクト・ホールは一個で済む。この場合各画素に対してコンタクト・ホールは一個となり、画素の更なる微細化が可能となる。

【0035】(実施例4) 図10は本発明に依るAM基板の一例を説明した図で、図11-a~dは本発明によるAM基板の製造工程を断面で示した図である。図10-aは平面図で図10-bはA-A'に於ける断面図である。

【0036】図10及び図11に示すAM基板はコブラー型TFTを画素用スイッチング素子として用いており、各画素は保持容量を有している。本発明のAM基板では第一絶縁層である絶縁性基板上にチャンネル領域103より成る能動層半導体膜とモリブデン、タンクスチタン、クロム、バナジウム、ニオブ、タンタル等の高融点金属に依るデータ線104と同金属より成る画素電極取り出しパッド105と同金属より成る保持容量用下部電極611が形成されている。これらを覆う様にゲート絶縁膜106が有る。ゲート絶縁膜は第二絶縁層であり、この上にゲート電極・線108と保持容量用上電極を兼ねる前行のゲート線613が設けられている。更にこれらの上には第三絶縁層である層間絶縁膜110が有る。層間絶縁膜上には画素電極109が設けられている。層間絶縁膜及びゲート絶縁膜にはコンタクト・ホール107及び612が開孔されており、これらを通じて画素電極は画素電極取り出しパッド及び保持容量用下部電極と電気的に導通が取られている。画素電極取り出しパッドが有ると能動層半導体膜は数十Å迄薄くし得る。逆に能動層半導体膜が十分厚ければ画素電極取り出しパッドを

10

20

30

40

50

16

省き、ドレイン領域103に直接コンタクト・ホールを開孔し画素電極との導通を取っても良い。又、本実施例4では画素電極取り出しパッドと保持容量用下部電極を分離して作成した為、画素電極は2個のコンタクト・ホールを通じて画素電極取り出しパッドと保持容量用下部電極との導通が取られているが、画素電極取り出しパッドと保持容量用下部電極が分離されず一つの島で形成されるとコンタクト・ホールは一個に削減される。本実施例4ではデータ線が第一絶縁層上に形成され、ゲート線が第二絶縁層上に、更に画素電極が第三絶縁層上にとそれぞれ別層に形成されている為、画素電極を従来よりも大きく出来る。図8に示す様に従来はデータ線と画素電極が同層上有った為、画素電極とデータ線の間には必ず分離領域が必要で有った。しかるに本発明ではデータ線、ゲート線、画素電極がそれぞれ別層上に形成されている為、分離はゲート絶縁膜や層間絶縁膜でなされ、平面上の分離領域は不要となる。これに依り画素電極は従来よりも拡大される。しかも本実施例4では画素電極の縁辺部はゲート線やデータ線と重なっている。ゲート線やデータ線を金属などの遮光性物質にて作成するとこれらの両線はブラック・ストライプと化す。即ち、本実施例4のAM基板を用いると対向基板側に太いブラック・ストライプを形成する必要がなくなり、又AM基板と対向基板の合わせも容易になり、出来上がった液晶表示装置の実質開口率が著しく大きくなるので有る。

【0037】次に本発明によるAM基板の製造方法を図11を用いて説明する。まずガラス基板などの絶縁性基板上に金属膜等の電気伝導性物質を堆積する。これには前述した高融点金属の他、半導体膜形成工程温度に対して安定な電気伝導物質ならば金属化合物や非金属も有効で有る。次にフォト・リソグラフィ工程によりこの電気伝導物質を加工してデータ線104、画素電極取り出しパッド105、保持容量用下部電極611を形成する(図11-a)。続いて実施例3にて詳述した方法で半導体膜を堆積して、フォト・リソグラフィ工程で加工する(図11-b)。その後ゲート絶縁膜106をPECVD法、ECR-PECVD法、APCVD法、有機シリコン化合物とオゾンを用いたCVD法等で350°C程度以下の基板温度にて堆積する。続いてゲート絶縁膜上に蒸着法、スパッタ法などで電気伝導性物質を堆積しフォト・リソグラフィ工程によりゲート電極・線108、613を形成する。電気伝導性物質を堆積する場合もデータ線などの下層金属及び半導体膜やゲート絶縁膜の熱変化を防ぐ為に基板温度は350°C程度以下が好ましい。次に質量非分離型イオン注入装置に依りドナー又はアクセプターとなる不純物をゲート電極をマスクとして打ち込み、チャンネル領域101、ソース領域102及びドレイン領域103を形成する(図11-c)。質量非分離型イオン注入装置に依り、不純物元素の水素化物をイオン注入すると、350°C程度以下の低温熱処

理にて不純物イオンを活性化出来る。又通常の質量分離型イオン注入装置にて不純物イオンを注入した後、レーザー照射に依って注入イオンを活性化しても良い。次に層間絶縁膜110を各種CVD法やPVD法で基板温度を350℃程度以下で堆積する。ソース・ドレイン領域形式のイオン注入を質量非分離型イオン注入装置にて行う場合、層間絶縁膜堆積後300℃から350℃程度の温度で30分から2時間程度の熱処理を施すと、注入イオンは活性化され、同時に層間絶縁膜とゲート絶縁膜の膜質が違う場合、それらが近づいたり、或いは同一になり、次工程のコンタクト・ホールが容易に形成される。ゲート絶縁膜堆積以後で350℃以上の熱工程が有った場合、水素プラズマ照射等の水素化処理がここで施されても良い。続いてフォト・リソグラフィ工程にてコンタクト・ホール107及び612を形成した後、画素電極材料をスパッタ法等で堆積し、更にフォト・リソグラフィ工程でパターニング加工を施しAM基板は完成する(図11-d)。この様に本発明に依ると、6回の成膜過程に5回のフォト・リソグラフィ加工工程で保持容量を有するAM基板が作成される。従来は図9に示す様に20 6回のフォト・リソグラフィ加工工程が必要で有ったから、前述の構造上の利点に加えて、製造工程もより簡略化されている。

【0038】(実施例5)図12は本発明に依るAM基板の一例を説明した図で、図13-a~eは本発明に依るAM基板の製造工程を断面で示した図である。図12-aは平面図で図12-bはA-A'に於ける断面図で、図12-cはB-B'に於ける断面図である。

【0039】図12及び図13に示すAM基板はコプレナー型TFTを画素用スイッチング素子として用いており、各画素は保持容量を有し、データ線・ゲート線・画素電極はそれぞれ別層上に形成されている。これは本実施例5が図10、図11に示す実施例4に対比して記述されている事を意味しているに過ぎず、本発明はこれに限定される物では無い。即ち図1、図2に引き実施例1にて記述されたAM基板や、図5を用いて実施例2に記述されたAM基板、及び図6、図7を用いて実施例3に記述されたAM基板に対しても本発明は適応され得る。

【0040】本発明のAM基板では絶縁層上にチャンネル領域101、ソース領域102、ドレイン領域103より成る能動層半導体膜とモリブデン・タンゲステン・クロム・バナジウム・ニオブ・タンタル等の高融点金属によるデータ線104と同金属より成る画素電極取り出しパッド105と同金属より成る保持容量用下部電極611が形成されている。これらの金属表面で半導体膜にて被覆されて居らず、且つコンタクト・ホールも開孔されていない部分は總て同金属の酸化物に依って被覆されている。金属酸化物1201の膜厚は数十Å程度以下が好ましい。能動層半導体膜が十分厚い場合は画素電極取り出しパッドを省き、ドレイン領域上に直接コンタクト

・ホールを開孔しても構わない。又保持容量が不要な時は当然保持容量用下部電極も作る必要は無い。これらを複数層にゲート絶縁膜106が有り、この上にゲート電極・線108と保持容量用上電極を兼ねる前行のゲート線613が設けられている。図12-cに示す様にゲート線とデータ線の交差部の断面はデータ線の表面がデータ線を構成する金属の酸化物にて完全に被覆されており、その上にゲート絶縁膜が設けられている。保持容量用下部電極も同様に表面は金属酸化物で完全に被覆されている。ゲート線はゲート絶縁膜上有るから、ゲート線とデータ線の間、或いはゲート線と保持容量用下部電極の間には二種類の異なる絶縁膜が挟まれている。ゲート電極・線やゲート絶縁膜上には層間絶縁膜110が有り、更にその上に画素電極109が設けられている。層間絶縁膜を省略し、ゲート絶縁膜上に画素電極を設けても良い。又、ゲート電極・線を遮光性物質で築き、画素電極を透明物質でそれぞれ別層上或いは同層上に形成しても良いし、ゲート電極・線も画素電極も共に透明物質で同層上或いは別層上に形成しても良い。層間絶縁膜及びゲート絶縁膜にはコンタクト・ホール107及び612が開孔されており、これらを通じて画素電極は画素電極取り出しパッド及び保持容量用下部電極と電気的に導通が取られている。画素電極取り出しパッドと保持容量用下部電極が一つの島で形成されている場合や、或いは保持容量用下部電極が無い場合、コンタクト・ホールは各画素に対して一個となる。本実施例5ではデータ線、ゲート線、画素電極がそれぞれ別層に形成されている為、画素電極を従来よりも大きく出来、図12(a)ではその縁辺部がゲート線とデータ線と完全に重なっている。ゲート線を金属等の遮光性物質で築けば、対向基板上の太いブラック・ストライプを省く事が出来、実質的な開口率は更に向上升する。図3や図4に示した従来技術のAM基板でゲート線とデータ線に依りブラック・ストライプを代用せるにはデータ線と画素電極を別層に形成せねばならぬが故、必然的に層間絶縁膜306ないしは408の上にもう一層別の層間絶縁膜を堆積し、その上に画素電極を形成せねばならない。この場合、基板上にはゲート絶縁膜(この上にゲート電極が有る。)、一番目の層間絶縁膜(この上にデータ線が有る。)二番目の層間絶縁膜(この上に画素電極が有る。)と少なくとも三層の絶縁膜が出来る。これらをSiO<sub>2</sub>膜に依り作成する場合、三層の総膜厚が厚くなると、これらの絶縁膜にひび割れが生じAM基板として使用出来なくなる。この為絶縁膜の総膜厚は1.5μm程度以下にする必要がある。今ゲート絶縁膜の膜厚が1000Åから2000Å程度とすると二つの層間絶縁膜の膜厚はそれぞれ7000Å程度となり、画素電極とデータ線は7000ÅのSiO<sub>2</sub>膜を介して重なる事となる。所で画素用薄膜トランジスタがオフ状態で、オン状態時に記憶したデータを保持している期間もデータ線には様々な情報が

19

伝わり、電位が変動している。画素電極とデータ線の重なりが大きくそれらの間の膜厚が薄いと、画素電極とデータ線の間に生ずる容量の値が大きくなり、その結果オフ状態で一定を保つべき画素電極電位がデータ線に伝わる情報の影響を受けて変動してしまい、液晶画面にクロストークを発生させる等の画質劣化をもたらす。従って画素電極とデータ線の重なりは小さい方が、又画素電極とデータ線を隔てる層間絶縁膜は厚い方が好ましい。この要請は画素電極が小さくなるに従い、或いは保持容量が小さくなるに従い強くなる。前述の如く従来のAM基板では画素電極とデータ線を隔てる層間絶縁膜の膜厚は最大でも7000Å程度である。これに対して図5、図10に示す本発明のAM基板ではデータ線が絶縁基板上有り、画素電極とデータ線を隔てる絶縁膜（即ちゲート絶縁膜と層間絶縁膜）の膜厚を1.5μm程度に厚く出来る。それ故、従来のAM基板と比べて画素ピッチが同じで、画素電極とデータ線との重なり面積が同一ならば、本発明のAM基板の方が絶縁膜の膜厚が厚い分だけより良質な画像が得られるので有る。或いは画質を同じにするのならば、本発明のAM基板の方が画素面積に対する重なり面積の割合を大きくする事が出来、微細画素を有する高精細AM基板を作成出来るので有る。一方図12に示し本実施例5に述べる本発明のAM基板ではデータ線の表面は金属酸化膜にて被覆されており、その上にゲート絶縁膜と層間絶縁膜が乗るから、画素電極とデータ線のカップリングは図5、図10に示すAM基板に比べても更に小さくなるとの利点を有する。加えて図12-cが示す様にデータ線の表面は金属酸化物という絶縁膜で被覆されており、この上に金属酸化膜とは異なる絶縁膜でゲート絶縁膜が形成され、更にその上にゲート線が設けられているからゲート線とソース線の絶縁破壊や漏洩電流が減少するとの利点を有する。絶縁膜の膜中を流れる電流の種類或いは原因は一般に絶縁膜種に従って異なる。この為膜厚が同程度で有れば一種類の厚い絶縁膜よりも、多少薄くとも二種類の異なった絶縁膜の方が絶縁破壊や漏洩電流に対して強いので有る。この原理に基付き図12、図13に示す本発明のAM基板ではデータ線とゲート線の交差部に発生する短絡等の不良率を著しく低減するので有る。

【0041】次に本発明に依るAM基板の製造方法を図13を用いて説明する。まずガラス基板などの絶縁性基板上に金属膜等の電気伝導性物質を堆積する。これには前述した高融点金属の他、半導体膜形成工程に対して安定な金属ならばいずれも有効である。次にフォト・リソグラフィ工程に依りこの電気伝導性物質を加工してデータ線104、画素電極取り出しパッド105、保持容量用下部電極611を形成する（図13-a）。統いて実施例3にて詳述した方法で半導体膜を形成してフォト・リソグラフィ工程で加工する（図13-b）。次に600℃以下の酸化性雰囲気下にてデータ線等の金属膜の表面

10

20

30

40

50

20

を酸化させる（図13-c）。600℃以下の低温ではシリコン膜の酸化は殆ど進まないから雰囲気と温度を適当に調整すると所望の膜厚を有する金属酸化物1201が得られ、同時に極薄膜の半導体膜を能動層に用いる事が可能となる。例えば同金属にタンタルを用いると酸素一気圧で300℃程度の温度から数十Å以上の酸化膜を作成出来るが、この条件ではシリコンの酸化は全く進まないが故、半導体膜の膜減りは生じない。よしんば半導体膜の酸化が多少進んでも、それらはゲート絶縁膜の一部と化すに過ぎぬから何の問題も生じない。ここでは半導体膜を実施例3に詳述した方法で形成したが、その他も可能である。例えば非晶質半導体膜を堆積・バーニング後（図13-b）、酸素や笑気ガス（N<sub>2</sub>O）や二酸化炭素（CO<sub>2</sub>）、水（H<sub>2</sub>O）を数ppmから1%程度含む弱酸化性雰囲気下で600℃程度以下の温度環境下にて数時間から24時間程度の熱処理を施す。これに依り非晶質膜は結晶化し、しかも同時に金属酸化膜1201が形成される（図13-c）。弱酸化性雰囲気下で熱処理を施すと非晶質の結晶化に際して生ずる結晶内欠陥を酸素が補充して、しきい値電圧が低く高移動度の半導体膜が得られるとの利点がある。熱処理時の酸化物気体の種類や濃度は、データ線等に用いる金属の材質と求める金属酸化物の膜厚に依って適宜決定される。その後は実施例4に詳述したのと同じ手法でゲート絶縁膜106、ゲート電極・線108及び613を形成し、更にイオン注入法にてチャンネル領域101、ソース領域102、ドレイン領域103を作成する（図13-d）。統いて層間絶縁膜110を実施例4にて詳述した方法等で堆積し、フォト・リソグラフィ工程に依りコンタクト・ホール107及び612を形成する。このコンタクト・ホールは層間絶縁膜とゲート絶縁膜、及び金属酸化物という少なくとも二種類の絶縁膜に開けねばならぬから、一般には連続した2回の開孔作業を施さねばならない。例えば画素電極取り出しパッド等を構成する金属にタンタルを用い、金属酸化物はタンタル酸化物で、ゲート絶縁膜と層間絶縁膜に酸化シリコン膜を用いた場合、第一回目の開孔作業で酸化シリコン膜にコンタクト・ホールを作り、引き続いてタンタル酸化物に対する開孔作業を施す。しかし反応性イオン・エッチング（RIE）や化学ドライエッチング（CDE）等を利用すれば、二種類の絶縁膜に一回の開孔作業でコンタクト・ホールを形成する事も可能である。こうしてコンタクト・ホールを形成した後、画素電極材料をスパッタ法等で堆積し、更にフォト・リソグラフィ工程でバーニング加工を施しAM基板は完成する（図13-e）。この様に本発明に依ると実施例4に詳述したのと同じ6回の成膜過程と5回のフォト・リソグラフィ加工工程で前述の構造上の利点が得られるので有る。

【0042】ここまで本実施例5ではデータ線104等の金属膜表面の酸化を600℃程度以下の酸化性雰囲気

21

下で行ってきたが、最初に総てのデータ線を短絡して置き、陽極酸化法で金属酸化物を形成しても良い。この場合データ線104と離れている画素電極取り出しパッド105や保持容量用下部電極611は酸化されず、コンタクト・ホールの開口は容易となる。陽極酸化法に依つてデータ線上に酸化膜を形成した場合でもデータ線とゲート線の交差部は異なった種類の絶縁膜の二層構造になり絶縁破壊や漏洩電流はやはり減少する。又、データ線と画素電極が重なっている場合、これらの間のカップリングも減少する。更にこの方法に依ると保持容量用下部電極611の表面には金属酸化膜は形成されないから、保持容量が増えるとの利点もある。

## 【0043】

【発明の効果】以上述べて来た様に、本発明に依れば以下に述べる様な効果が得られる。

【0044】(1) 半導体膜の薄膜化が容易で優れたスイッチング特性を有するTFTをAM基板の素子として利用できる。

【0045】(2) フォト・リソグラフィ工程数を減らせる等の製造工程の簡略化が図れる。

【0046】(3) コンタクト・ホールの数を削減でき、微細な画素を有する高精細AM基板を作製できる。

【0047】(4) データ線、ゲート電極・線、画素電極をそれぞれ別層上に形成でき、これに依り画素電極を大きくし得る。又データ線及びゲート電極・線を電気伝導性遮光物質で形成し、画素電極をこちらと別層上に形成してその縁辺部を重ねる事が可能で、これに依り対向基板側のブラック・ストライプを省略し得、出来上がった液晶表示装置の開口率が大きくなる。又、対向基板との合わせも容易となり製造効率が上がる。

【0048】(5) データ線を最下層に形成し、画素電極を最上層に形成する為、画素電極の縁辺部をデータ線に重ねてもクロストーク等の発生は著しく小さくなり、高画質が得られる。

【0049】(6) データ線表面に金属酸化膜を設ける事で、データ線とゲート線の間には二種類の異なった絶縁膜が形成され、データ線とゲート線との短絡数が大きく減少する。

【0050】この様に本発明に依るとアクティブマトリックス液晶ディスプレイの高性能化や低価格化を実現するという多大な効果を有する。

## 【図面の簡単な説明】

【図1】 本発明の一実施例を示すアクティブマトリックス基板を示す図。

【図2】 本発明の一実施例を示すアクティブマトリックス基板製造の各工程に於ける素子断面図。

【図3】 従来技術に依るアクティブマトリックス基板を示す図。

【図4】 従来技術に依るアクティブマトリックス基板を示す図。

10

22

【図5】 本発明の一実施例を示すアクティブマトリックス基板を示す図。

【図6】 本発明の一実施例を示すアクティブマトリックス基板を示す図。

【図7】 本発明の一実施例を示すアクティブマトリックス基板製造の各工程に於ける素子断面図。

【図8】 従来技術に依るアクティブマトリックス基板を示す図。

【図9】 従来技術に依るアクティブマトリックス基板製造の各工程に於ける素子断面図。

【図10】 本発明の一実施例を示すアクティブマトリックス基板を示す図。

【図11】 本発明の一実施例を示すアクティブマトリックス基板製造の各工程に於ける素子断面図。

【図12】 本発明の一実施例を示すアクティブマトリックス基板を示す図。

【図13】 本発明の一実施例を示すアクティブマトリックス基板製造の各工程に於ける素子断面図。

## 【符号の説明】

- |    |                                                                                                                                                          |
|----|----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 20 | 101…チャンネル領域<br>102…ソース領域<br>103…ドレイン領域<br>104…データ線<br>105…画素電極取り出しパッド<br>106…ゲート絶縁膜<br>107…コンタクト・ホール<br>108…ゲート電極・線<br>109…画素電極<br>110…層間絶縁膜             |
| 30 | 301…チャンネル領域<br>302…ソース領域<br>303…ドレイン領域<br>304…ゲート絶縁膜<br>305…ゲート電極・線<br>306…層間絶縁膜<br>307…コンタクト・ホール<br>308…画素電極<br>309…データ線                                |
| 40 | 401…チャンネル領域<br>402…ソース領域<br>403…ドレイン領域<br>404…ソース・パッド<br>405…ドレイン・パッド<br>406…ゲート絶縁膜<br>407…ゲート電極・線<br>408…層間絶縁膜<br>409…コンタクト・ホール<br>410…画素電極<br>411…データ線 |
| 50 | 611…保持容量用下部電極                                                                                                                                            |

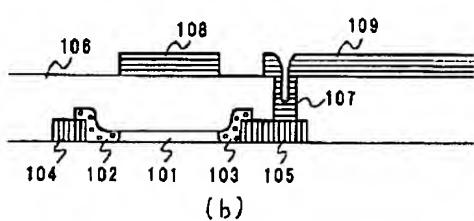
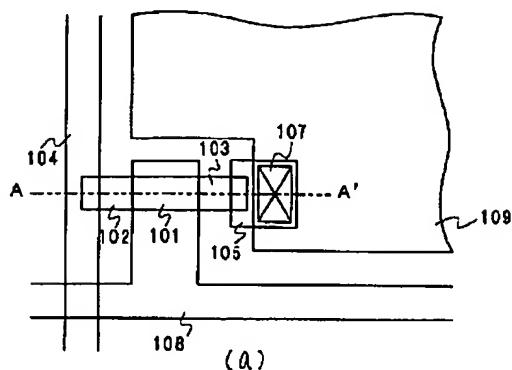
23

- 612…コンタクト・ホール  
613…前行のゲート線  
811…保持容量用下部電極  
812…コンタクト・ホール

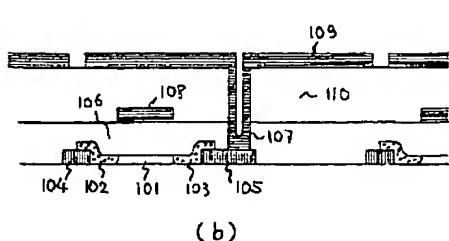
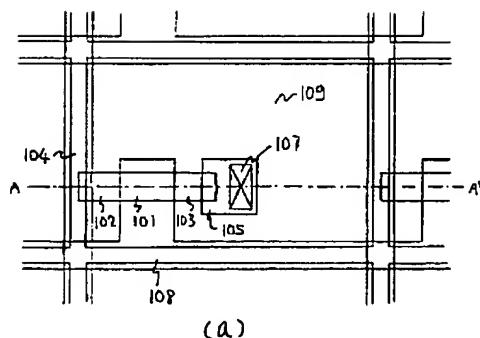
24

- 813…前行のゲート線  
901…フォト・レジスト  
902…不純物イオン注入  
1201…金属酸化膜

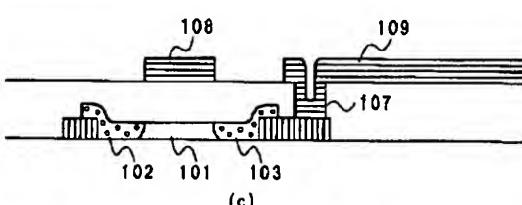
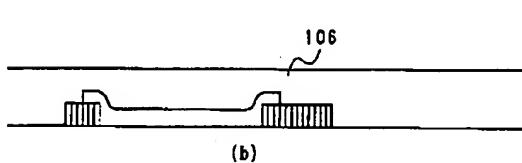
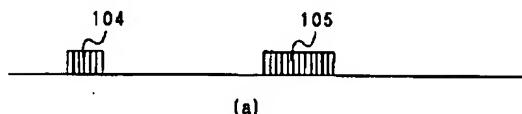
【図1】



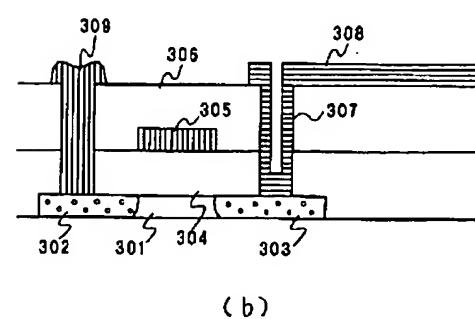
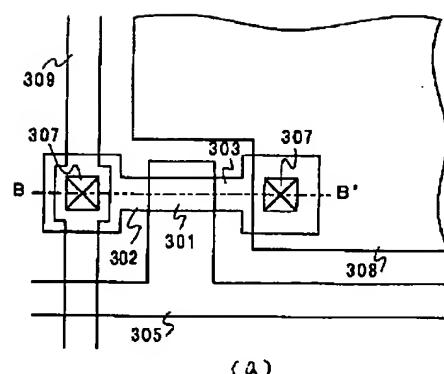
【図5】



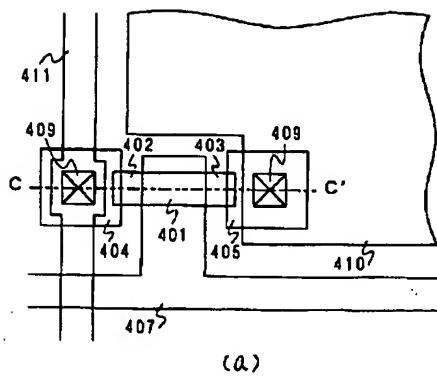
【図2】



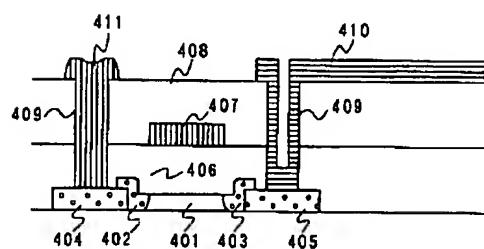
【図3】



【図4】

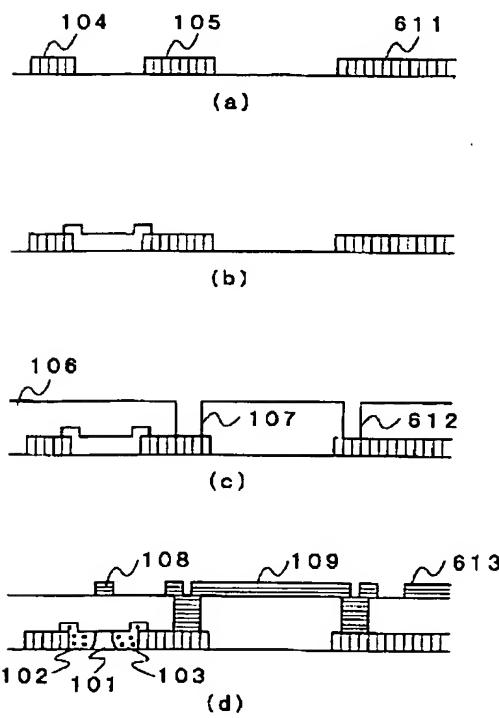


(a)

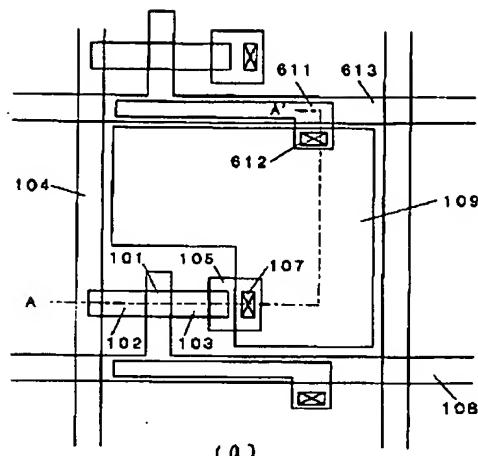


(b)

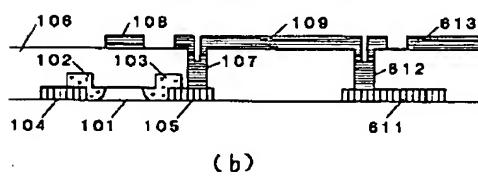
【図7】



【図6】

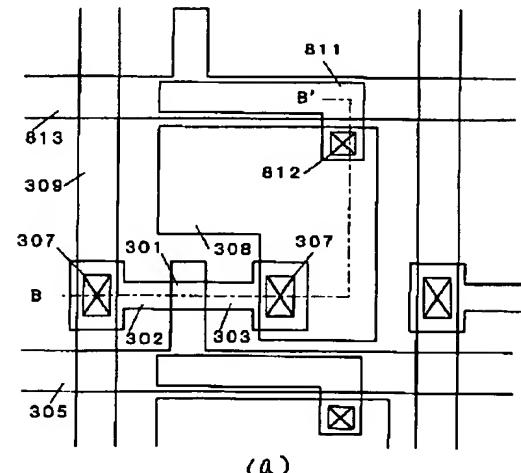


(a)

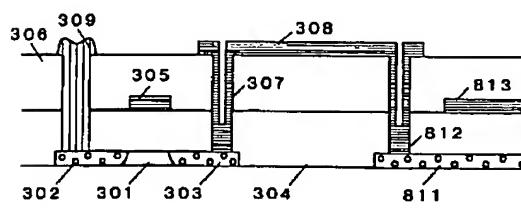


(b)

【図8】

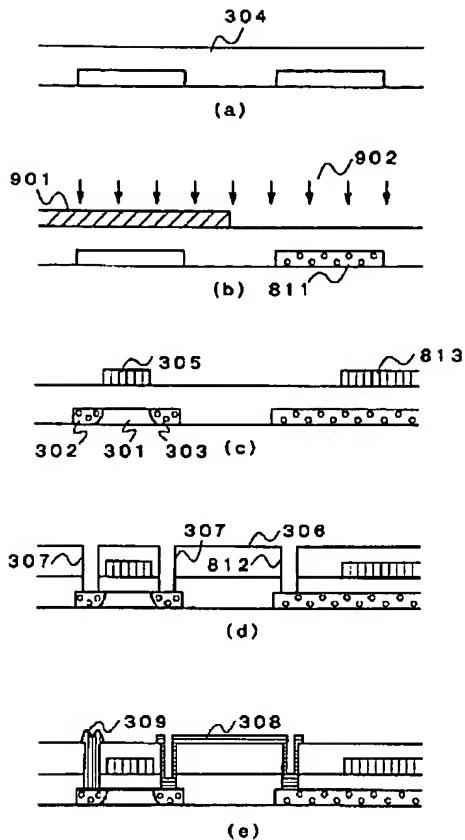


(a)

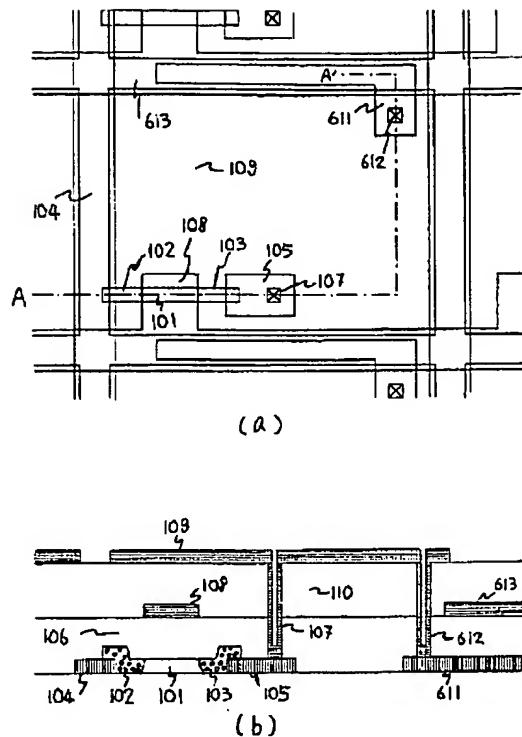


(b)

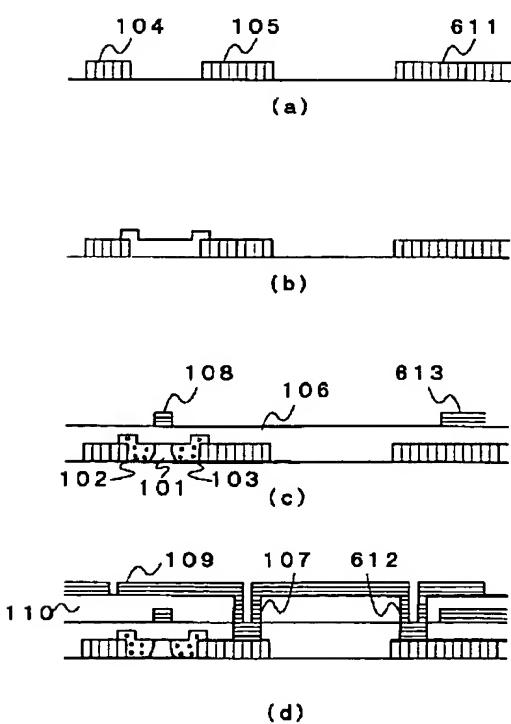
【図9】



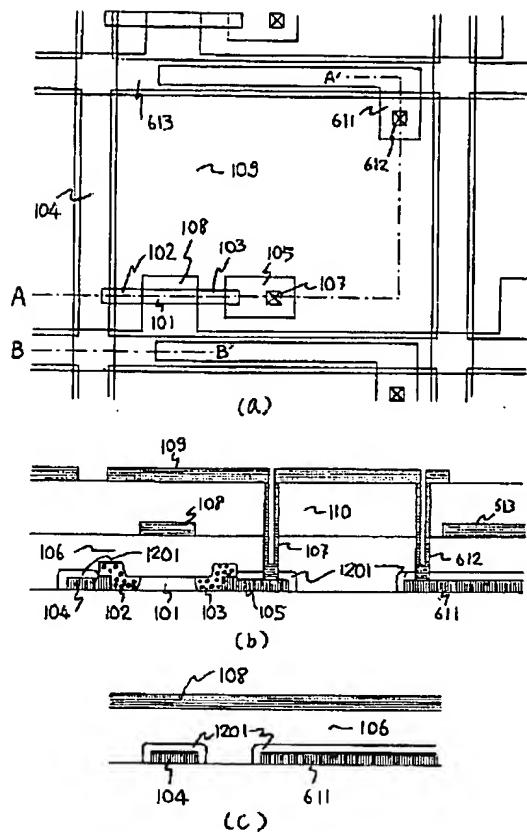
【図10】



【図11】



【図12】



【図13】

